

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

007791368 \*\*Image available\*\*

WPI Acc No: 1989-056480/198908

Contact type image sensor for driving printer - has dynamic-static shift  
resistor circuit using thin film transistor NoAbstract Dwg 19/51

Patent Assignee: RICOH KK (RICO ); RICOM OYO DENSHI KENKYUS (RICO-N)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1007559	A	19890111	JP 87308396	A	19871204	198908 B

Priority Applications (No Type Date): JP 8739843 A 19870223; JP 8730080 A  
19870212; JP 87308396 A 19871204

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 1007559	A	3		

Title Terms: CONTACT; TYPE; IMAGE; SENSE; DRIVE; PRINT; DYNAMIC; STATIC;  
SHIFT; RESISTOR; CIRCUIT; THIN; FILM; TRANSISTOR; NOABSTRACT

Derwent Class: U14; W02

International Patent Class (Additional): H01L-027/14; H04N-001/02;  
H04N-005/33

File Segment: EPI

**BEST AVAILABLE COPY**

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

02709959      \*\*Image available\*\*

CONTACT TYPE IMAGE SENSOR

PUB. NO.:      **01-007559** [JP 1007559 A]

PUBLISHED:      January 11, 1989 (19890111)

INVENTOR(s):   KOBATA MITSUHIRO

                 INO MASUMITSU

                 OSADA TAKETO

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP  
                 (Japan)

                 RICOH RES INST OF GEN ELECTRON [488199] (A Japanese Company  
                 or Corporation), JP (Japan)

APPL. NO.:      62-308396 [JP 87308396]

FILED:           December 04, 1987 (19871204)

INTL CLASS:    [4] H01L-027/14; H04N-001/028; H04N-005/335; H01L-027/12;  
                 H01L-029/78

JAPIO CLASS:   42.2 (ELECTRONICS -- Solid State Components); 44.6  
                 (COMMUNICATION -- Television); 44.7 (COMMUNICATION --  
                 Facsimile)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
                 MOS)

JOURNAL:        Section: E, Section No. 750, Vol. 13, No. 181, Pg. 20, April  
                 27, 1989 (19890427)

#### ABSTRACT

PURPOSE: To contrive reduction of the area of a driving circuit by a method wherein there exists electrical isolation between a plurality of photoelectric conversion elements formed into a line, a selector switch section for the elements, and a photoelectric conversion element driving circuit section, and all of them are installed on one and the same transparent substrate, and a driving circuit is constituted of a CMOS transistor.

CONSTITUTION: A line of photoelectric conversion elements, a selector switch section 4, and a photoelectric conversion element driving circuit section 3 are electrically isolated from each other, constructed on one and the same transparent substrate 1. The driving circuit section 3 is built of a CMOS transistor. In this way, a photodetecting section 2, a driving circuit section 3, a selector switch section 4, and connecting metal electrodes 5 are installed on and the same transparent substrate 1, which enables compacting a sensor unit.

⑫ Int. Cl.<sup>4</sup>  
H 01 L 27/14  
H 04 N 1/028  
5/335

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月11日

C-8122-5F

A-7334-5C

W-8420-5C ※審査請求 未請求 発明の数 1 (全19頁)

⑭ 発明の名称 密着型イメージセンサ

⑮ 特 願 昭62-308396

⑯ 出 願 昭62(1987)12月4日

優先権主張 ⑰ 昭62(1987)2月12日 ⑱ 日本(JP) ⑲ 特願 昭62-30080

⑳ 昭62(1987)2月23日 ㉑ 日本(JP) ㉒ 特願 昭62-39843

⑳ 発 明 者 木 幡 光 裕 宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応  
用電子研究所株式会社内

㉑ 発 明 者 猪 野 益 充 東京都大田区中馬込1-3-6 株式会社リコー内

㉒ 発 明 者 長 田 武 人 東京都大田区中馬込1-3-6 株式会社リコー内

㉓ 出 願 人 株式会社リコー 東京都大田区中馬込1丁目3番6号

㉔ 出 願 人 リコー応用電子研究所 宮城県柴田郡柴田町大字中名生字神明堂3-1  
株式会社

㉕ 代 理 人 弁理士 高野 明近  
最終頁に続く

明 細 書

1. 発明の名称

密着型イメージセンサ

2. 特許請求の範囲

- (1)、列状に形成された複数の光電変換素子と、  
該光電変換素子に対応する選択スイッチと、シフ  
トレジスタを有する光電変換素子駆動回路とが結  
線性を有すると共に透明な同一基板上に形成され、  
前記駆動回路がCMOSトランジスタで構成され  
ていることを特徴とする密着型イメージセンサ。
- (2)、前記駆動回路がダイナミック・シフト・レ  
ジスタで構成されており、一方が他方に対して論  
理が逆になる2つのクロックを用いるCMOSイ  
ンバータにて構成されていることを特徴とする特  
許請求の範囲第(1)項に記載の密着型イメージセ  
ンサ。
- (3)、前記CMOSインバータが縦型に配置され  
ていることを特徴とする特許請求の範囲第(2)項  
に記載の密着型イメージセンサ。
- (4)、前記駆動回路がスタテック・シフト・レジ

スタで構成されており、該駆動回路は転送型CM  
OSインバータを有することを特徴とする特許請  
求の範囲第(1)項に記載の密着型イメージセンサ。

(5)、前記駆動回路がクロックドCMOSインバ  
ータを有することを特徴とする特許請求の範囲第  
(4)項に記載の密着型イメージセンサ。

(6)、前記駆動回路が転送型CMOSインバータ  
とクロックドCMOSインバータを有することを  
特徴とする特許請求の範囲第(4)項に記載の密着  
型イメージセンサ。

(7)、前記透明な同一基板上に更にノイズ除去回  
路を形成し、該ノイズ除去回路が確固トランジス  
タのソース電極とゲート電極をショートさせたダ  
イオードから成るものであることを特徴とする特  
許請求の範囲第(1)項に記載の密着型イメージセ  
ンサ。

3. 発明の詳細な説明

技術分野

本発明は、密着型イメージセンサ、より詳細に  
は、等待センサの駆動回路に関し、ファクシミリ

プリンタ、液晶プリンタ等の駆動回路、或いは、液晶ディスプレイ、ELディスプレイ等の駆動回路等に応用可能なものである。

#### 従来技術

密着型イメージセンサは、ファクシミリプリンタ、液晶プリンタ等の画像入力装置として使用されるものであるが、従来、その小型化について種々の提案がなされている(例えば、電子情報通信学会、論文誌、ED86-19、「光走査型密着イメージセンサ」、神電気工業株式会社、基礎技術研究所、山田、高橋、坂井、安孫子、二瓶；又は、CPM83-42「 $\alpha$ -Si:H膜高感度A-16ドット/mm密着イメージセンサ」、東芝総合研究所、機能回路開発部、斉藤、鈴木、須田、高山、中井、森、滝川)。しかし、上記従来の密着型イメージセンサは、受光部(光電変換部)と駆動部(IC部)が別体にて構成されているため、IC部と光電変換素子部を接続する必要があるため、結線長が長くなり、そのため、結線の切断等により歩留りが悪く、また、これがノイズの発生の原

因となり、更には、センサ全体の面積を大きくし、十分な小型化を図ることができない等の欠点があった。

また、等倍型光センサの駆動回路として、スタテック・シフト・レジスタとダイナミック・シフト・レジスタが使用されるが、スタテック・シフト・レジスタは、入力データを一時蓄えることが可能で、温度、及び低周波動作等に左右されず安定な動作が得られる。ただし、データを蓄えるために帰還用のインバータ及びそれに付加される配線が必要となり高集積化は、難しい。これに対して低周波動作や温度に多少不安定であるが、高集積化に向いているのがダイナミック・シフト・レジスタである。これは、帰還用のインバータが不用であるため、その分、面積が小さくできる。

第50図は、従来のスタテック・シフト・レジスタの回路図、第51図は、その動作説明をするための論理回路図で、このスタテック・シフト・レジスタは、図示のように、帰還用のインバータが付いており、クロック(データ・シフト用)が入

らなくても、データが保持されるため、クロック周波数に影響されず安定な動作が得られる。しかし、その反面、回路が複雑となり、トランジスタ数も増え、これは、センサの小型化、集積化、歩留り向上の要求に反する。

上述のように、スタテック・シフト・レジスタはクロック周波数に左右されず、安定な動作が得られるが、回路が複雑になり使用するトランジスタ数も多い。これに対して、ダイナミック・シフト・レジスタは少数のトランジスタで構成できるという利点がある。

#### 目的

発明は、等倍型光センサの駆動回路にTFT(薄膜トランジスタ)を用いたダイナミック・スタテック・シフト・レジスタ回路を採用し、センサ駆動回路の小面積化、集積化および、動作の安定化を図ることを目的としてなされたものである。

#### 構成

本発明は、上記目的を達成するために、列状に形成された複数の光電変換素子と、該光電変換素

子に対応する選択スイッチと、シフトレジスタを有する光電変換素子駆動回路とが絶縁性を有すると共に透明な同一基板上に形成され、前記駆動回路がCMOSTランジスタで構成されていることを特徴としたものである。以下、本発明の実施例に基づいて説明する。

第1図は、本発明による等倍センサユニットの一例を示す要部構成図で、図中、1は透明絶縁基板、2は受光部、3は駆動回路部、4は選択スイッチ部、5は接続用金属電極である。

第2図は、第1図に示した受光部2の断面図で、図中、21は石英基板、22は保護膜( $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ )、23は絶縁膜( $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ 又は $\alpha$ - $\text{Si:H}$ )、24は金属電極(Cr)、25は半導体膜( $\alpha$ - $\text{Si:H}$ )、26は半導体膜( $\alpha$ - $\text{Si:OH}$ )、27は透明電極(IT)で、保護膜( $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ )22は、製膜温度:  $250^\circ\text{C} \sim 350^\circ\text{C}$ 、PCVD法、反応ガス:  $\text{SiH}_4 + \text{NH}_3 + \text{H}_2$ ,  $\text{Si}_3\text{N}_4 + \text{O}_2$ にて、 $0.5 \mu\text{m} \sim 1.5 \mu\text{m}$ の膜厚に形成される。絶縁膜

( $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ 又は $\text{a-Si:H}$ )23は、  
 反応ガス： $\text{SiH}_4 + \text{O}_2$ ,  $\text{SiH}_4 + \text{NH}_3 + \text{H}_2$ ,  
 $\text{SiH}_4$ 。全ガス流量にて $0.5\mu\text{m} \sim 1.5\mu\text{m}$ の  
 膜厚に形成される。金属電極(Cr)24は、製膜  
 温度：室温 $\sim 150^\circ\text{C}$ 、スパッタ製膜にて $0.1$   
 $\mu\text{m} \sim 0.2\mu\text{m}$ の膜厚に形成される。半導体  
 膜( $\text{a-Si:H}$ )25は、製膜温度： $250 \sim$   
 $350^\circ\text{C}$ 、反応ガス： $\text{SiH}_4 + \text{H}_2$ 、PCVD法、  
 全ガス流量 $300\text{ sccm}$ にて $0.5\mu\text{m} \sim 1.0$   
 $\mu\text{m}$ の膜厚に形成される。半導体膜( $\text{a-Si:}$   
 $\text{O:H}$ )26は、製膜温度： $250 \sim 350^\circ\text{C}$ 、  
 反応ガス： $\text{SiH}_4 + \text{O}_2 + \text{H}_2$ 、PCVD法、全  
 ガス流量 $300\text{ sccm}$ にて $0.5\mu\text{m} \sim 1.0$   
 $\mu\text{m}$ の膜厚に形成される。また透明電極(ITO)  
 27は、電子ビーム加熱蒸着によって約 $1000$   
 $\text{\AA}$ の膜厚に形成される。

第3図は、第1図に示した駆動回路部3の断面  
 図であるが、該駆動回路部3はCMOS(相補型  
 MOS)インバータで構成されており、図中、  
 31は石英基板、32は $\text{P}^+$ 型拡散層(ボロンドー

ピング)にて $1300\text{\AA}$ の膜厚に形成される。ゲート  
 電極37は減圧CVD法により、反応ガス：  
 $\text{SiH}_4(100\%) + \text{H}_2$ 、製膜温度： $600 \sim$   
 $700^\circ\text{C}$ 、製膜圧力： $0.05 \sim 10\text{ Torr}$ にて  
 $3500\text{\AA}$ の膜厚に形成される。また、金属電極  
 膜38は、スパッタ法により、 $\text{Ar}$ 雰囲気ガス内  
 にターゲットAとし、製膜圧力： $0.05 \sim$   
 $1.0\text{ Torr}$ にて約 $0.6\mu\text{m}$ の膜厚に形成される。

第4図は、第1図に示した駆動回路3に用いる  
 ダイナミック・シフト・レジスタの一例を説明す  
 るための電気回路図、第5図は、論理回路図、第  
 6図は、その動作説明をするための駆動タイミ  
 ングチャートで、該ダイナミック・シフト・レジ  
 スタは、第4図に示すように、CMOSインバータ  
 2段により1ビット(bit)を構成している。2  
 つのCMOSインバータのうち、(a)部は2相ク  
 ロックにより動作するクロック同期型(クロック  
 のHレベル、Lレベルにより動作、非動作を繰り  
 返す)で、(b)部はクロックに影響されないイン  
 バータとなっている。図示の場合、クロック＝

ブの多結晶Si)、33は $\text{n}^+$ 型拡散層(リンドー  
 プの多結晶Si)、34は活性層(多結晶Si)、  
 35は層間絶縁膜( $\text{SiO}_2$ 又は $\text{Si}_3\text{N}_4$ )、36  
 はゲート酸化膜( $\text{SiO}_2$ )、37はゲート電極(多  
 結晶Si)、38は金属電極、39は保護膜  
 ( $\text{SiO}_2$ 又は $\text{Si}_3\text{N}_4$ )で、拡散層32、33は  
 イオン注入法により、イオン種 $\text{P}^+(\text{n型})$ 、 $\text{B}^+$   
 ( $\text{P型}$ )、注入エネルギー： $20 \sim 80\text{ KeV}$ 、ド  
 ープ量： $3.0 \times 10^{16}/\text{cm}^2$ にて形成される。  
 活性層34は減圧CVD法により、反応ガス：  
 $\text{SiH}_4(100\%) + \text{H}_2$ 、製膜温度： $600 \sim$   
 $700^\circ\text{C}$ 、製膜圧力： $0.05 \sim 10\text{ Torr}$ にて  
 $1500\text{\AA}$ の膜厚に形成される。層間絶縁膜35  
 及び保護膜39は減圧CVD法により、反応ガス：  
 $\text{SiH}_4 + \text{O}_2/\text{N}_2 = 100 \sim 300\text{ SCCM}/$   
 $50\text{ SCCM}$ 、製膜温度： $350 \sim 450^\circ\text{C}$ 、製  
 膜圧力： $0.05 \sim 10\text{ Torr}$ にて約 $1.0\mu\text{m}$   
 の膜厚に形成される。ゲート絶縁膜36は、熱酸  
 化法により、反応ガス： $\text{O}_2$ 、製膜温度： $900$   
 $^\circ\text{C} \sim 1100^\circ\text{C}$ 、製膜圧力： $0.01\text{ Torr} \sim$ 大

“H”で動作する1ビットとなっている。このダ  
 イナミック・シフト・レジスタの動作は構型、概  
 型とも同じで、該シフトレジスタは、第5図に示  
 すように、クロック $\phi$ で動作するビットと、クロ  
 ック $\phi$ で動作するビットが交互に並べられる。第  
 5図に示した例では、ビット1とビット3がクロ  
 ック $\phi$ で動作し、ビット2がクロック $\phi$ で動作す  
 る(ここで、クロック $\phi$ で動作するという意味は、  
 クロック $\phi$ がハイレベル“H”の時に動作する  
 ということである)。各ビットの出力 $B_1$ 、 $B_2$ 、 $B_3$   
 は、センサ読み出し信号となる。

第6図のタイムチャートにおいて、まず、時間  
 $T_1$ で、センサ読み出し開始信号を“IN”に入  
 力する。この時点で、クロック $\phi = \text{“H”}$ である  
 から、ビット1及び3のCMOSインバータが動  
 作するため、入力信号は $B_1$ に出力される。次に、  
 時間 $T_2$ では、クロック $\phi = \text{“H”}$ となり、ビッ  
 ト1及び3が非動作、ビット2が動作となり、  
 $B_2$ に読み出し信号が現われる。時間 $T_3$ では、時  
 間 $T_1$ と同様な動作状況となり、 $B_1$ に読み出し信

号が現われる。この動作が、全ビットにわたって行われ、センサ読み出し信号を発生させる。

而して、上記ダイナミック・シフト・レジスタは、2つの特徴を有し、その1つは、第6図のタイミングチャートに示すように、シフトレジスタから出た出力 $B_1$ 、 $B_2$ 、 $B_3$ がお互いにノイズ(スパイク性)をキャンセルするような波形であることである。例えば、 $B_1$ の立ち下がりのタイミング $T_1$ は、 $B_2$ の立ち上がりタイミング $T_2$ と同時期に実施され、ここでおこり得る、又は、その後の個別のアナログスイッチ部で起こり得るスパイク性のノイズをキャンセルすることができる。これは $B_3$ についても同じことが言え、これにより、センサ出力に発生するノイズを軽減することが可能となる。これは又スタック・シフト・レジスタについても同じことが言える。

第7図は、上記ダイナミック・シフト・レジスタの他の特徴を説明するための図で、同図は、MSS (Metal-Semiconductor-Semiconductor) センサ・アナログスイッチのタイミングチャート

ないように、アナログスイッチの出力波形の動作状態(電流が流れる)の時間を、従来では制御信号、クロックの1/2周期であるところを1周期分動作させることができ、これによって上記残電荷を除去することができるようにしている。

従って、本発明によれば、

センサユニットのコンパクト化が可能である。  
(センサユニットサイズが小さくできる)

摩擦雑音数が軽減されるためセンサユニットとしての歩留りを向上させることができる。

センサユニットの作製工程数の低減が実現でき、コストを安価にできる。

等の利点がある。

第8図は、第4図乃至第7図に示したダイナミック・シフト・レジスタをTFTにより構成したレイアウトを示す図で、図中、40にて示すように矢印で示した領域は活性層、41にて示すように黒丸にて示した領域はメタル部、42にて示すように斜線で示した部分はポリシリコン領域、43にて示すように $\square$ 部分はコンタクト領域で、

を示す図で、(a)図はMSSセンサの出力電流波形を示す図、(b)図はPチャンネルトランジスタ(アナログスイッチ)の出力電流波形を示す図、(c)図はPチャンネルトランジスタ(アナログスイッチ)の入力電圧波形を示す図で、MSS型のフォトダイオードセンサにおいて、蓄積型の読み取り方式では、出力波形は充電型の出力波形となる。例えば、第7図に示すように、センサ出力はアナログスイッチの入出力波形に対して、第7図(a)に示す波形となる。この時、この信号をSignal信号とNoise信号とに読み分けて信号の2値化もしくはセンサとして階調性をもたせるために分割を行なう。この時、もしセンサ出力の尾引き部、bの部分のアナログスイッチの入力、出力波形より長いと出力を充分に読み取らないまま、つまり充分に放電しないまま、電荷をセンサ内のコンデンサに蓄積してしまうことになる。この状態では次にこのセンサを読み取る場合、残電荷があるため正確な信号が出力されないことになる。

而して、本発明では、このようなことが起こら

図の下部がクロック同期形のCMOSインバータの部分、上部がCMOSインバータとなっている。

このダイナミック・シフト・レジスタは、第5図及び第6図に関して説明したように、クロック $\phi$ で動作するビットとクロック $\phi$ で動作するビットが交互に並べられている。ここではビット1と3がクロック $\phi$ で動作し、ビット2がクロック $\phi$ で動作し、各ビットの出力 $B_1$ 、 $B_2$ 、 $B_3$ は、センサ読み出し信号となる。まず、時間 $T_1$ でセンサ読み出し開始の信号を入力する。この時間で、クロック $\phi = "H"$ であるから、ビット1と3のCMOSインバータが動作し、入力信号は $B_1$ に出力される。次に、時間 $T_2$ では、クロック $\phi = "H"$ となり、ビット1と3が非動作、ビット2が動作となり、 $B_2$ に読み出し信号が現われる。時間 $T_3$ では、時間 $T_1$ と同様な動作状況となり、 $B_3$ に読み出し信号が現われる。この動作が全ビットにわたって行なわれ、センサ読み出し信号を発生させる。

第9図は、フォトセンサ部断面図で、第2図の場合と同様、21は石英基板、22は保護膜、23は絶縁膜、24は金属電極、25は半導体膜、26は保護膜、27は透明電極で、同図は、ダイナミック・シフト・レジスタで駆動するフォトセンサの構造図を示し、図示のように、該フォトセンサは透明電極27と金属電極24との間に半導体膜25をはさんだサンドイッチ型のセンサである。

第10図は、上記フォトセンサ部を駆動するダイナミック・シフト・レジスタの構造図で、第10図(a)は平面構造図、第10図(b)は断面構造図で、図中、51は石英基板、52はP、N拡散層、53は層間絶縁膜(SiO<sub>2</sub>)、54は活性層(Poly Si)、55はゲート酸化膜(SiO<sub>2</sub>)、56はゲート電極(Poly Si)、57、58はドレイン電極、57、58はソース電極、58は拡散層とメタルとのコンタクト領域を示しており、このようにして、TFTがフォトセンサと同一の基板上に形成されている。

シフト・レジスタも同じであるため、集積化を図るためには、ダイナミック・シフト・レジスタを使用した方が有利である。従って、センサ駆動回路を構成するTFT数を減すことにより集積化が可能となり、また、1ビット当りの駆動回路の面積減少により、センサ幅が小さくできるため、読取り精度が向上する。

第13図は、ダイナミック・シフト・レジスタの基本となるTFTCMOS（相補型金属-酸化物-半導体）インバータの構造図で、第13図(a)は平面構造図、第13図(b)は断面構造図で、図中、IはPチャンネルMOS部、IIはNチャンネルMOS部、61は石英基板、62、63はP+拡散層、62、63はN+拡散層、64は層間絶縁膜、65は活性層、66はゲート酸化膜、67はゲート電極、68はメタル、69は拡散層とメタルとのコンタクト領域を示しており、このようにして、TFT-CMOSインバータ回路がフォトセンサと同一の基板上に形成されている。

このダイナミック・シフト・レジスタは、第4

図第11図及び第12図は、それぞれセンサ部とセンサ駆動回路部を含めたセンサ1ビット分の回路図で、図中、MSSがMSSセンサー、ASがアナログスイッチ、DSRがダイナミック・シフト・レジスタで、ダイナミック・シフト・レジスタの出力は、CMOSインバータ2段を通してアナログスイッチを動作させ、これによって、センサ部から信号の読み出しを行なうが、その回路としては、図示のように2通りの方法が考えられる。

このように、ダイナミック・シフト・レジスタを用いてセンサ駆動回路を構成することができるが、第4図に示したダイナミック・シフト・レジスタと、第50図に示したスタテック・シフト・レジスタの回路構成から明らかなように、1ビット当りのトランジスタの数は、第4図に示したダイナミック・シフト・レジスタでは6個であるのに対し、第50図に示したスタテック・シフト・レジスタでは10個必要であるが、その動作は、スタテック・シフト・レジスタもダイナミック・

図に示したように、CMOSインバータ2段により1ビットを構成しており、2つのCMOSインバータのうち、(a)は2相クロックにより動作するクロック同期型（クロックのHレベル、Lレベルにより、動作、非動作を繰り返す）、(b)はクロックにかかわらず、常時、動作状態となっている。図示の場合、クロックφ(=H)で動作するビットとなっている。

第14図及び第15図は、ダイナミック・シフト・レジスタをTFTにより構成した場合のレイアウトを示す図で、第14図は、横型ダイナミック・シフト・レジスタ（従来例）の一例を示す図、第15図は、縦型ダイナミック・シフト・レジスタ（本発明の実施例）の一例を示す図で、図中、70にて示すように矢印で示した領域は活性層、71にて示すように黒丸にて示した領域はメタル部、72にて示すように斜線で示した部分はポリシリコン領域、73にて示すように□にて示した部分はコンタクト領域、ASはアナログスイッチ部、DSRはダイナミック・シフト・レジスタ部

であるが、両図から明らかなように、第14図に示した横型のダイナミック・シフト・レジスタに比して第15図に示した縦型のダイナミック・シフト・レジスタの方が集積化を図ることができる。

このダイナミック・シフト・レジスタの動作は横型、縦型とも同じで、該シフトレジスタは第5図及び第6図にて説明したように動作する。

前述のように、ライン型イメージセンサのセンサ出力を時系列のパルス列として出力させるセンサ駆動回路として、通常、シフトレジスタが用いられる。以上は、このシフトレジスタとしてダイナミック・シフト・レジスタを用いる例について説明したが、前述のようにスタティック・シフト・レジスタは、クロック周波数に左右されず、安定な動作が得られる利点がある。

第16図及び第17図は、第1図に示した駆動回路部3としてスタティック・シフト・レジスタを用いた場合の回路構成の一例を説明するための図で、第16図は、シフトレジスタ論理回路図、第17図は、シフトレジスタ回路図で、図中、

1, 2はトランスマッション(転送型)ゲートCMOSインバータ部で、 $\phi$ ,  $\bar{\phi}$ は駆動信号(クロック信号)、A, A<sub>1</sub>, A<sub>2</sub>, A<sub>3</sub>はセンサ読み出し信号である。

以下に、上記スタティック・シフト・レジスタの動作に関し、第16図に示した3ビット分のシフトレジスタ論理回路を使用して説明する。

スタティック・シフト・レジスタは、クロック $\phi$ で出力信号が初めて出てくるビットと、クロック $\bar{\phi}$ で出力が初めて出てくるビットが交互に並べられている。ここではビット1と3がクロック $\phi$ で初めて出力信号が出てきて、ビット2がクロック $\bar{\phi}$ で初めて出力信号が出てくる。各ビットの出力A<sub>1</sub>, A<sub>2</sub>, A<sub>3</sub>はセンサ読み出し信号となる。又データをインバータ出力電圧で伝達し、帰還ループを行うため、1, 2部のインバータがスイッチとして使用してある(トランスマッションCMOSインバータ)。これによりクロック入力からの入力データがない状態でもデータを保持することができ、そのため動作が安定する。

第18図は、上記シフトレジスタの動作説明をするためのタイムチャートで、まず、時間T<sub>1</sub>( $\phi$ がHigh状態のとき)でセンサ読み出し開始の信号を入力する。この時点でクロック $\phi$ =Highであるからビット1と3のCMOSインバータが動作する。そのため入力信号はA<sub>1</sub>に出力される。次に時間T<sub>2</sub>( $\phi$ がLow状態のとき)ではクロック $\bar{\phi}$ =Highとなり、ビット1と3が非動作、ビット2が動作となりA<sub>2</sub>にセンサ読み出し信号が現われる。しかし、そのときビット1と3のクロックドゲートCMOSインバータ1, 2部の帰還用スイッチングインバータがON状態であるためビット1センサ読み出し信号は、帰還ループにより保持され、安定する。次に、時間T<sub>3</sub>( $\phi$ =High状態のとき)では、時間T<sub>1</sub>と同様な動作状況になりA<sub>1</sub>にセンサ読み出し信号が現われる。しかし、そのときもビット2のクロックドゲートCMOSインバータ1, 2部の帰還用スイッチングインバータがON状態であるためビット2のセンサ読み出し信号は帰還ループにより保持され、安

定する。この動作が全ビットにわたって行われ、センサ読み出し信号を発生させる。

第19図は、上記スタティック・シフト・レジスタを用いた等倍型光センサの回路図で、図中、1はシフトレジスタ部、2は受光部、3はアナログスイッチ(Pch Tr)である。

第20図は、上記シフトレジスタ回路の一例を説明するためのレイアウト図で、図中、1, 及び2はトランスマッションゲートCMOSインバータで、斜線領域はポリシリコン部、矢印領域はメタル部、黒丸領域は活性層部、 $\square$ 部領域はコンタクトホール部である。

第21図及び第22図は、それぞれ他の実施例を説明するための図で、図中、第16図乃至第18図に示した実施例の場合と同様の作用をする部分には、第16図乃至第18図の場合と同一の参照番号を付し、その詳細な説明は省略する。

第50図及び第51図に示した従来の(スタティック・シフト・レジスタ)は、前述のように、トランジスタを10個使用しているが、本実施によ

ると、第17図、第21図、及び第22図から明らかなように、8個のトランジスタでよい。

従って、この実施例によると、従来技術においては、1ビット当り10個のトランジスタを使用していたものを8個のトランジスタで済ませることができ、これにより駆動回路の集積化を図ることができ、等倍型光センサユニットのコンパクト化を図ることができる。同時に、製品の歩留りを向上させ、コストを低減化し、更には、駆動回路の動作の安定化を図ることができる。

第23図及び第24図は、スタティック・シフト・レジスタ回路の他の例を説明するための図で、第23図は、シフトレジスタ論理回路図、第24図は、シフトレジスタ回路図で、図中、 $I_1 \sim I_4$ はインバータ部で、 $\phi$ 、 $\bar{\phi}$ は駆動信号(クロック信号)、 $A_1$ 、 $A_2$ 、 $A_3$ 、 $A_4$ はセンサ読み出し信号である。

以下に、上記スタティック・シフト・レジスタの動作に関し、第23図に示した3ビット分のシフトレジスタ論理回路を使用して説明する。

パートが動作する。そのため入力信号は $A_1$ に出力される。次に時間 $T_1$ ( $\phi$ がLow状態のとき)ではクロック $\phi = \text{High}$ となりビット1と3が非動作、ビット2が動作となり $A_2$ にセンサ読み出し信号が現われる。しかし、そのときビット1と3の $I_1$ 部の帰還用スイッチングインバータがON状態であるためビット1センサ読み出し信号は、帰還ループにより保持され、安定する。次に、時間 $T_2$ ( $\bar{\phi} = \text{High}$ 状態のとき)では、時間 $T_1$ と同様な動作状況になり $A_3$ にセンサ読み出し信号が現われる。しかし、そのときもビット2の $I_2$ 部の帰還用スイッチングインバータがON状態であるためビット2のセンサ読み出し信号は帰還ループにより保持され、安定する。この動作が全ビットにわたって行われ、センサ読み出し信号を発生させる。

第26図は、等倍型光センサの一例を説明するための回路図で、図中、Iはシフトレジスタ部、IIは受光部、IIIはアナログスイッチ(Po h T r)である。

スタティック・シフト・レジスタは、クロック $\phi$ で出力信号が初めて出てくるビットと、クロック $\bar{\phi}$ で出力が初めて出てくるビットが交互に並べられている。ここではビット1と3がクロック $\phi$ で初めて出力信号が出てきて、ビット2がクロック $\bar{\phi}$ で初めて出力信号が出てくる。各ビットの出力 $A_1$ 、 $A_2$ 、 $A_3$ はセンサ読み出し信号となる。又データをインバータ出力電圧で伝達し、帰還ループを行うため、 $I_1$ 部のクロックドゲートCMOSインバータがスイッチとして使用してある。これによりクロック入力部からの入力データがない状態でもデータを保持することができ、そのため動作が安定する。ちなみにインバータ部はトランスミッションゲートCMOSインバータで構成されている。

第25図は、上記シフトレジスタの動作説明をするためのタイムチャートで、まず、時間 $T_1$ ( $\phi$ がHigh状態のとき)でセンサ読み出し開始の信号を入力する。この時点でクロック $\phi = \text{High}$ であるからビット1と3のCMOSイン

第27図は、前記シフトレジスタ回路の一例を説明するためのレイアウト図で、図中、斜線領域はポリシリコン部、矢印領域はメタル部、黒丸領域は活性層部、 $\square$ 部領域はコンタクトホール部である。

すなわち、この実施例は、第23図に示したシフトレジスタ回路において、 $I_1$ 部と $I_2$ 部のインバータの駆動信号が同一であることに着目して、この2つのクロックドゲートインバータをできるかぎり近づけることにより、駆動信号ラインが単純になるようにレイアウトされている。

従って、この実施例によると、等倍型光センサユニットのコンパクト化を図ることができ、同時に、製品の歩留りを向上させ、コストを低減化し、更には、駆動回路の動作の安定化、駆動信号ラインの入力キャパシタンスの低下等を図ることができる。

第28図及び第29図は、スタティック・シフト・レジスタ回路の他の例を説明するための図で、図中、Iはトランスミッション(転送型)ゲートC

MOSインバータ部、ⅡはクロックドゲートCMOSインバータ部で、 $\phi$ 、 $\bar{\phi}$ は駆動信号(クロック信号)、 $A_1$ 、 $A_2$ 、 $A_3$ はセンサ読み出し信号である。

以下に、上記スタティック・シフト・レジスタの動作に関し、第28図に示した3ビット分のシフトレジスタ論理回路を使用して説明する。

スタティック・シフト・レジスタは、クロック $\phi$ で出力信号が初めて出てくるビットと、クロック $\bar{\phi}$ で出力が初めて出てくるビットが交互に並べられている。ここではビット1と3がクロック $\phi$ で初めて出力信号が出てきて、ビット2がクロック $\bar{\phi}$ で初めて出力信号が出てくる。各ビットの出力 $A_1$ 、 $A_2$ 、 $A_3$ はセンサ読み出し信号となる。又データをインバータ出力電圧で伝達し、帰還ループを行うため、Ⅱ部のクロックドゲートCMOSインバータがスイッチとして使用してある。このクロックドゲートCMOSインバータによりクロック入力Ⅰ部からの入力データがない状態でもデータを保持することができ、そのため動作が安

定する。

第30図は、上記シフトレジスタの動作説明をするためのタイムチャートで、まず、時間 $T_1$  ( $\phi$ がHigh状態のとき)でセンサ読み出し開始の信号を入力する。この時点でクロック $\phi$  = Highであるからビット1と3のCMOSインバータが動作する。そのため入力信号は $A_1$ に出力される。次に時間 $T_2$  ( $\phi$ がLow状態のとき)ではクロック $\bar{\phi}$  = Highとなりビット1と3が非動作、ビット2が動作となり $A_2$ にセンサ読み出し信号が現われる。しかし、そのときビット1と3のクロックドゲートCMOSインバータⅡ部の帰還用スイッチングインバータがON状態であるためビット1センサ読み出し信号は、帰還ループにより保持され、安定する。次に、時間 $T_3$  ( $\phi$  = High状態のとき)では、時間 $T_1$ と同様な動作状況になり $A_3$ にセンサ読み出し信号が現われる。しかし、そのときもビット2のクロックドゲートCMOSインバータⅡ部の帰還用スイッチングインバータがON状態であるためビット2のセ

ンサ読み出し信号は帰還ループにより保持され、安定する。この動作が全ビットにわたって行われ、センサ読み出し信号を発生させる。

第31図は、本実施例により形成された等倍型光センサの回路図で、図中、Ⅱはシフトレジスタ部、Ⅳは受光部、Ⅴはアナログスイッチ(P o h T r)である。

第32図は、上記シフトレジスタ部の例を説明するためのレイアウト図で、図中、ⅠはトランسمিশョンゲートCMOSインバータ、ⅡはクロックドゲートCMOSインバータ、ⅢはCMOSインバータで、斜線領域はポリシリコン部、矢印領域はメタル部、黒丸領域は活性層部、 $\square$ 部領域はコンタクトホール部である。

第33図乃至第35図及び第36図乃至第38図は、それぞれ本発明の他の実施例を説明するための図で、第33図及び第36図はシフトレジスタの論理回路図、第34図及び第37図はシフトレジスタ回路図、第35図及び第38図はタイミングチャートで、図中、第28図乃至第30図に

示した実施例の場合と同様の作用をする部分には、第28図乃至第30図の場合と同一の参照番号が付してある。

而して、この実施例によると、従来技術においては、1ビット当り10個のトランジスタを使用していたものを8個のトランジスタで済ませることができ、これにより駆動回路の集積化を図ることができ、等倍型光センサユニットのコンパクト化を図ることができる。同時に、製品の歩留りを向上させ、コストを低減化し、更には、駆動回路の動作の安定化を図ることができる。

前述のように、従来、密着型イメージセンサは、その構成部品である光電変換素子部のみを絶縁基板上に形成し、その他の構成部品は、外付けのICなどで構成している。そのため、光電変換素子部と他の構成部品間の配線が長くなり、ノイズが発生しやすかった。そのため、スイッチング素子や走査信号発生回路をSOI構造(Silicon on Insulator)の薄膜トランジスタで光電変換素子と同一基板上に作成することが発明されている。

第39図及び第40図は、上述のごとき薄膜トランジスタの一例を説明するための構成図で、第39図は断面構成図、第40図は平面構成図で、図中、81は石英基板、82はP-N拡散層、83は層間絶縁膜(SiO<sub>2</sub>)、84は活性層(poly-si)、85はゲート酸化膜(SiO<sub>2</sub>)、86はゲート電極(poly-si)、87はメタル、88はソース電極、89はドレイン電極、90はコンタクト部で、図示のように、絶縁基板上(石英)81にpoly-siの活性層84を形成し、ソースおよびドレイン電極部にホウ素をドーピングし、チャンネル部にリンをドーピングする。さらに、チャンネル部の上部に酸化膜(SiO<sub>2</sub>)を形成し、さらにPoly-Siを形成する。これによって、SOI構造の薄膜MOS型のトランジスタが形成される。これによって、光電変換素子と同一基板上に、トランジスタを作成することができる。

本実施例は、上述のごとき薄膜トランジスタを改善してノイズ除去回路を構成し、該ノイズ除去

回路をも前述のごときSOI構造の薄膜トランジスタで構成したものである。

第40図において、薄膜トランジスタのソース電極とゲート電極を接続すると、この薄膜トランジスタは、ダイオードとして動作する。これは、ソース電極とゲート電極を接続することによって、MOS型トランジスタとしては動作しないけれども、チャンネル部とドレイン部のP-N接合によって等価的なダイオードとして動作する。

第41図は、本実施例によるノイズ除去回路を具備した密着型イメージセンサの一例を示す図で、図中、91はノイズ除去回路(リミッタ)、92は走査回路、93はセンサ部で、本実施例においては、ノイズ除去回路91を前述のようにして構成したダイオードDを用いて受光部と同一の絶縁基板上に構成している。

第42図(a)~(d)は、第41図に示したノイズ除去回路(リミッタ回路)の詳細を説明するための図で、(a)図はノイズ除去回路で、このノイズ除去回路は、図示のように、入力波形に並列にダ

イオードDを接続したもので、その入出力特性は(b)図に示すようなものであり、その入力波形を(c)図とすると、その出力波形は同図(d)のように振幅を制限された波形となる。

ここで、センサー出力波形のノイズを考えると、主なノイズはスイッチング時に発生するスパイクノイズによる影響が最も大きく、これを除去すればよい。すなわち、第43図において、(a)はクロックパルス、(b)は出力信号波形であるが、この第43図(b)に示したスパイク雑音Nを除去すればよい。なお、第44図には、本実施例によるノイズ除去回路を付加した時の出力信号波形を示す。

このようにすると、さらに、各センサーのバラツキによる最大振幅のバラツキを一定にすることができるため、センサーの重要な特性のひとつである白波形平坦度(光電変換素子(センサー)すべてに光を照射した時のセンサー出力のバラツキ)を向上させることができる。

なお、上記以外に、例えば、ノイズ除去用のダ

イオードを複数個使用し、それぞれのダイオードに流れる電流を低減させて、ノイズに対する応答を速くするようにしてもよい。

第45図乃至第47図は、他の実施例を説明するための図で、第45図は、ノイズ除去回路91を有する密着型イメージセンサの回路図、第46図(a)~(d)は、第45図に示したノイズ除去回路の詳細を説明するための図で、(a)図はノイズ除去回路、(b)図はノイズ除去回路の入出力特性図、(c)図は入力波形図、(d)図は出力波形図、また第47図において、(a)図はクロックパルス、(b)図はノイズ除去回路未使用時の暗出力信号、(c)図は使用時の暗出力信号で、この実施例は、ノイズ除去用のダイオードを逆方向に接続し、ある波形以下を除去するようにしたものである。これを利用すれば、センサーの暗出力時(光電変換素子(センサー)に光を照射しない時のセンサーの出力信号。通常は、このレベルを基準にして、S/N比を表しているため、この出力信号にバラツキがあると、S/N比が悪化してしまう。)の

出力レベルを一定することができるため、ノイズが減少し、 $S/N$ 比が向上する。

第48図及び第49図は、他の実施例を説明するための図で、第48図は、ノイズ除去回路、第49図(a)は、第48図に示したリミッタ(ノイズ除去)回路91を示す図、(b)図は第49図(a)に示したリミッタ回路の入出力特性図、(c)図は入力波形、(d)図は出力波形で、この実施例はダイオードを信号出力線に2組接続し、ノイズ除去、増出力のパラツキの向上、白波形平坦度の向上をはかり、これにより、 $S/N$ 比を向上させるようにしたものである。

従って、上記実施例によると、ノイズ回路を同一プロセスで作成することができる。ノイズ除去のための特別のICが不要なため、コンパクト化がはかれる。信号振幅のパラツキをなくすることができるため、白波形平坦度を向上させることができ、安定した出力がとり出せる。密着型イメージセンサにおいて、ノイズ除去回路を薄膜トランジスタで作成することにより、光電変換部と同一

き、コストを安価にできる。

等の利点がある。

#### 4. 図面の簡単な説明

第1図は、本発明による等倍センサユニットの一例を示す要部構成図、第2図は、第1図に示した受光部2の断面図、第3図は、第1図に示した駆動回路部3の断面図、第4図は、第1図に示した駆動回路3に用いるダイナミック・シフト・レジスタの一例を説明するための電気回路図、第5図は、論理回路図、第6図は、その動作説明をするための駆動タイミングチャート、第7図は、ダイナミック・シフト・レジスタの特徴を説明するための図、第8図は、第4図乃至第7図に示したダイナミック・シフト・レジスタをTFTにより構成したレイアウトを示す図、第9図は、フォトセンサ部断面図、第10図は、ダイナミック・シフト・レジスタの構造図、第11図及び第12図は、それぞれセンサ部とセンサ駆動回路部を含めたセンサ1ビット分の回路図、第13図は、ダイナミック・シフト・レジスタの基本となるTFT

絶縁基板上に構成することができる。ノイズ除去回路を薄膜トランジスタ構造とすることによって、特別のプロセスを必要とせず、作製できる。スイッチング素子や、走査信号発生回路で使用される薄膜トランジスタと同一の構造とすることにより、ノイズを効率的に除去できる。センサ出力を一定の振幅におさえることにより、ノイズを除去できる。センサ出力を一定の振幅におさえることにより、センサの白波形平坦度を向上させることができる。

等の利点がある。

#### 効 果

以上の説明から明らかなように、本発明によると、

- (イ)、センサユニットのコンパクト化が可能である。
- (ロ)、接続端子数が減少されるため、センサユニットとしての歩留りを向上させることができる。
- (ハ)、センサユニットの作製工程の低減を実現で

CMOS(相補型金属-酸化物-半導体)インバータの構造図、第14図及び第15図は、ダイナミック・シフト・レジスタをTFTにより構成した場合のレイアウトを示す図、第16図及び第17図は、スタテック・シフト・レジスタの論理回路図、第17図は、その回路図、第18図は、上記シフトレジスタの動作説明をするためのタイムチャート、第19図は、上記スタテック・シフト・レジスタを用いた光センサの回路図、第20図は、上記シフトレジスタ回路の一例を説明するためのレイアウト図、第21図及び第22図は、それぞれ他の実施例を説明するための図、第23図及び第24図は、スタテック・シフト・レジスタ回路の他の例を説明するための図、第25図は、上記シフトレジスタの動作説明をするためのタイムチャート、第26図は、等倍型光センサの一例を説明するための回路図、第27図は、前記シフトレジスタ回路の一例を説明するためのレイアウト図、第28図及び第29図は、スタテック・シフト・レジスタ回路の他の例を説明するための図、第

30図は、上記シフトレジスタの動作説明をするためのタイムチャート、第31図は、本実施例により形成された等倍型光センサの回路図、第32図は、上記シフトレジスタ部の一列を説明するためのレイアウト図、第33図及び第36図はシフトレジスタの論理回路図、第34図及び第37図はシフトレジスタ回路、第35図及び第38図はタイミングチャート、第39図及び第40図は、本発明が適用される薄膜トランジスタの一例を説明するための断面図、第41図は、本発明によるノイズ除去回路を具備した密着型イメージセンサの一例を説明するための電気回路図、第42図(a)は、第41図に示したノイズ除去回路(リミッタ)の一例を示す電気回路図、第42図(b)~(d)は、それぞれ(a)図の回路の入出力特性図、入力波形図、出力波形図、第43図は、ノイズ除去回路未使用時の出力波形を示す図、第44図は、ノイズ除去回路使用後の出力波形を示す図、第45図乃至第47図は、他の実施例を説明するための電気回路図及び波形図、第48図及び第49図

は、更に他の実施例を説明するための電気回路図及び波形図で、第50図は、従来のスタック・シフト・レジスタの回路図、第51図は、その動作説明をするための論理回路図である。

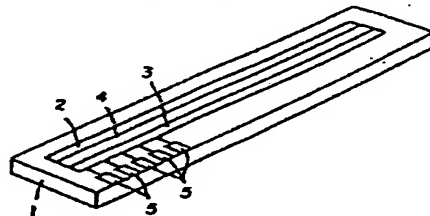
1…透明絶縁基板、2…受光部、3…駆動回路部、4…選択スイッチ部、5…接続用金属電極、21…石英基板、22…保護膜、23…絶縁膜、24…金属電極、25…半導体膜、26…半導体膜、27…透明電極、31…石英基板、32…P<sup>+</sup>型拡散層、33…n<sup>+</sup>型拡散層、34…活性層、35…層間絶縁膜、36…ゲート酸化膜、37…ゲート電極、38…金属電極、39…保護膜、40…活性層、41…メタル部、42…ポリシリコン領域、43…コンタクト領域、51…石英基板、52…P、N拡散層、53…層間絶縁膜、54…活性層、55…ゲート酸化膜、56…ゲート電極、57…ドレイン電極、57…ソース電極、58…拡散層、61…石英基板、62…P<sup>+</sup>拡散層、62…N<sup>+</sup>拡散層、63…層間絶縁膜、64…活性層、65…ゲート酸化膜、66…ゲー

ト電極、67…メタル、68…コンタクト領域、70…活性層、71…メタル部、72…シリコン領域、73…コンタクト領域、81…石英基板、82…P、N拡散層、83…層間絶縁膜、84…活性層、85…ゲート酸化膜、86…ゲート電極、87…メタル、88…ソース電極、88…ドレイン電極、89…コンタクト部。

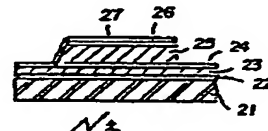
特許出願人 株式会社リコー (ほか1名)  
代理人 高野明近



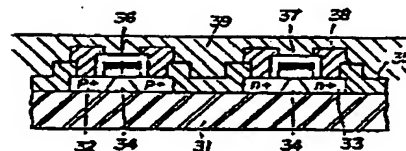
第1図



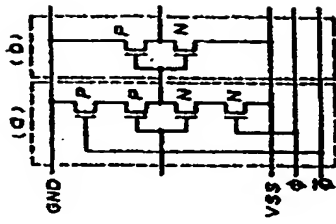
第2図



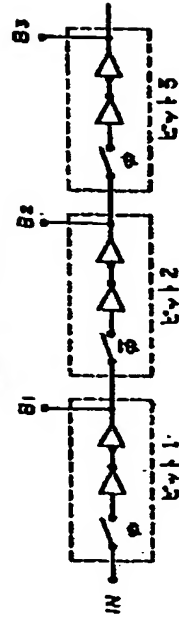
第3図



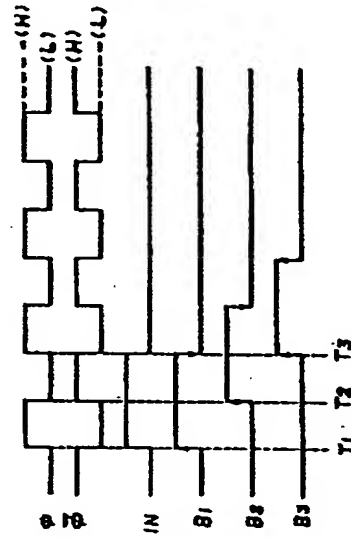
第 4 圖



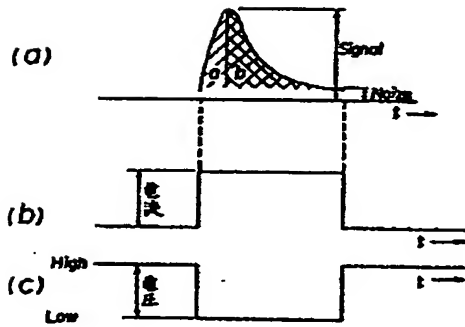
第 5 圖



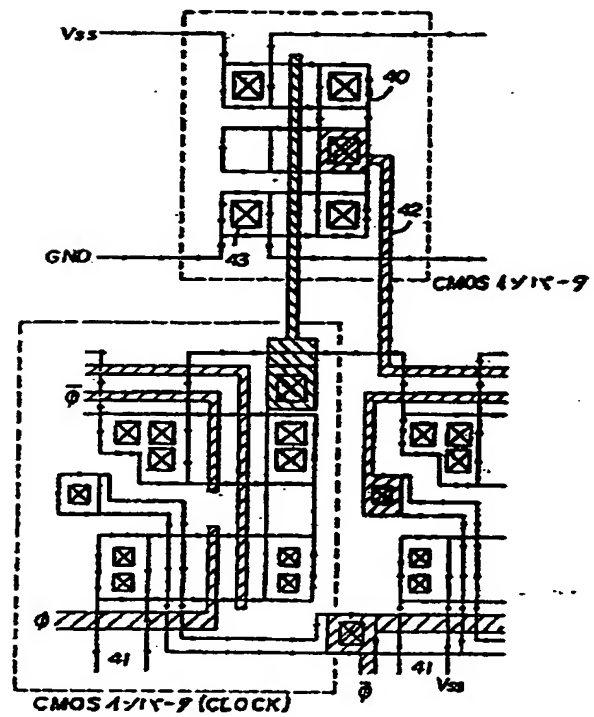
第 6 圖



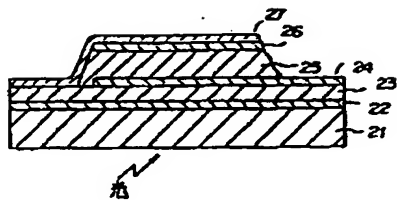
第 7 圖



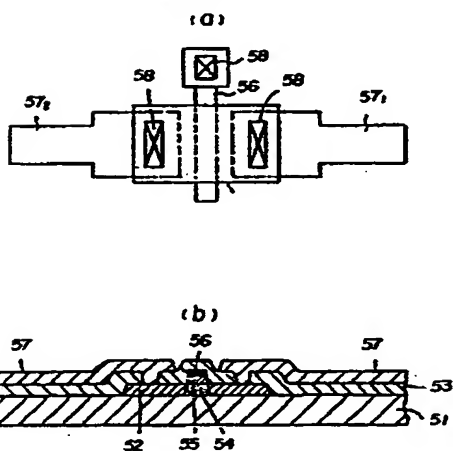
第 8 圖



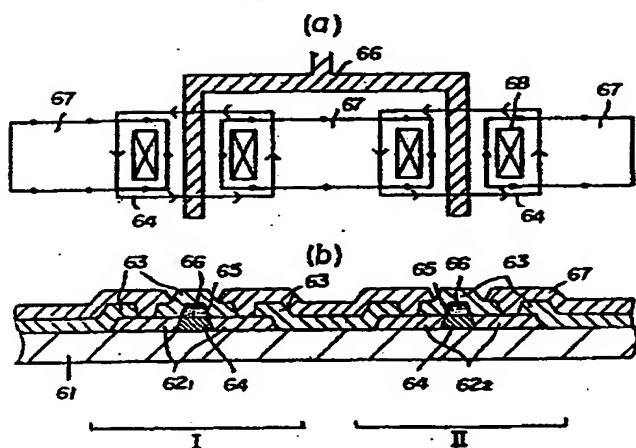
第 9 図



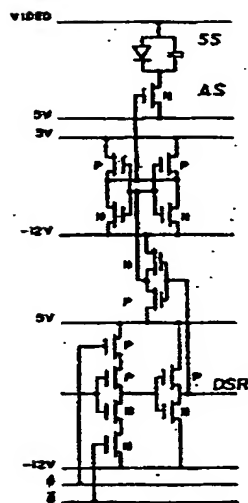
第 10 図



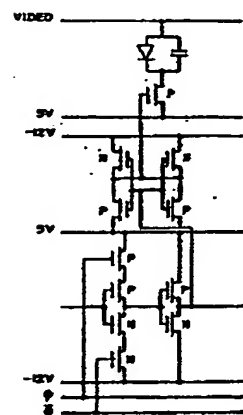
第 13 図



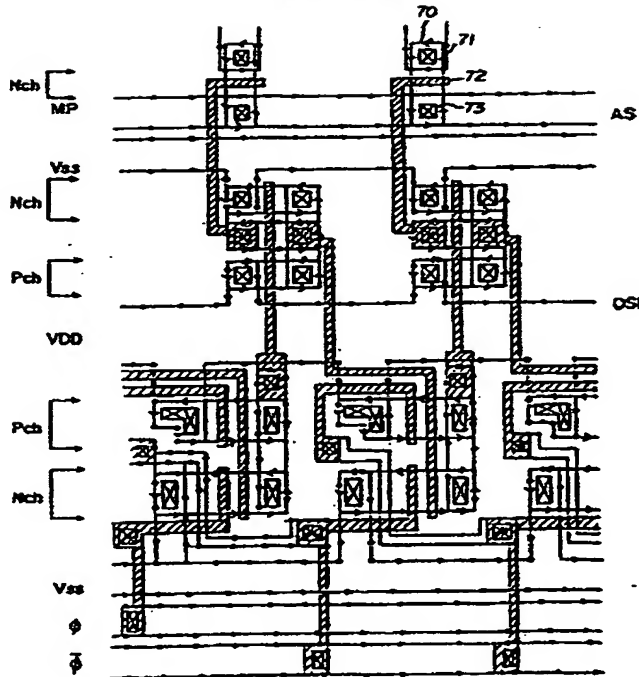
第 11 図



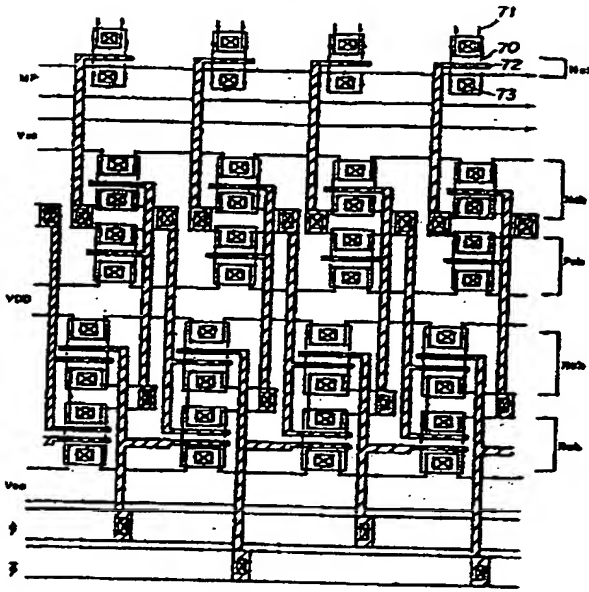
第 12 図



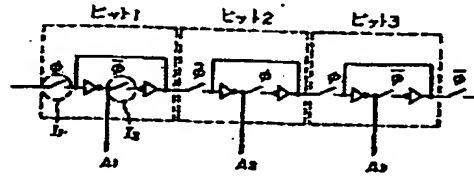
第 14 図



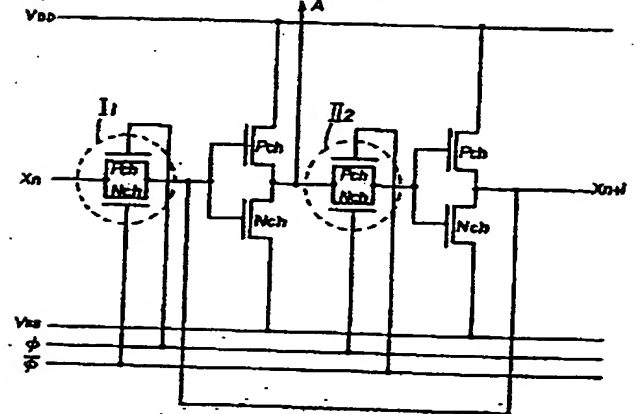
第 15 図



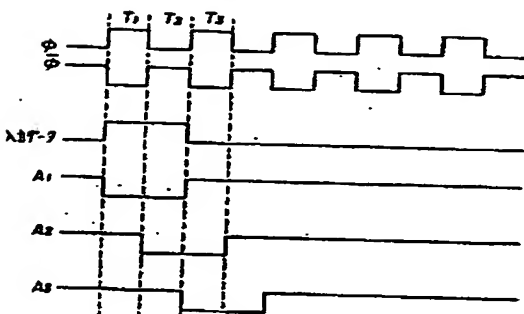
第 16 図



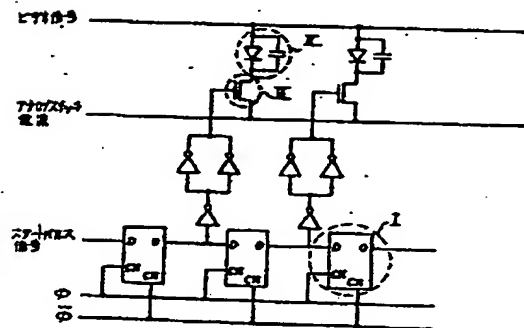
第 17 図



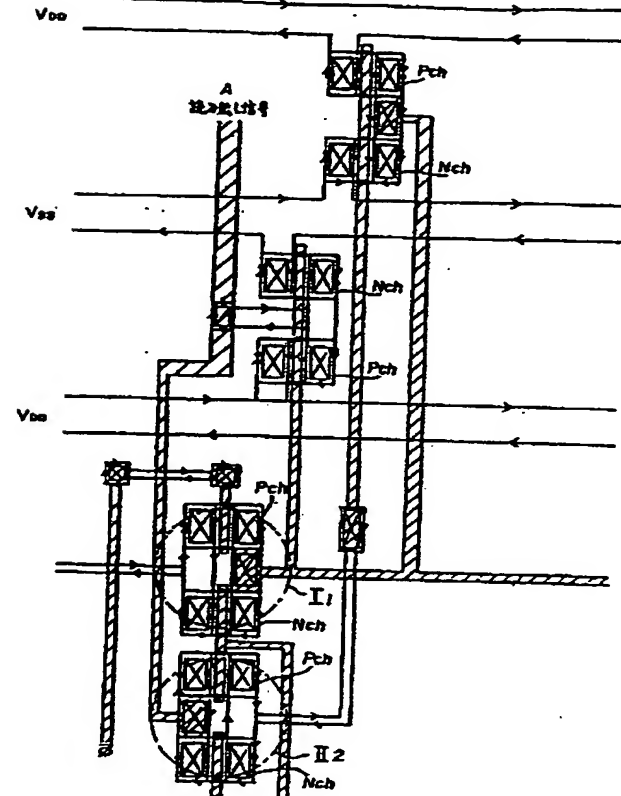
第 18 図



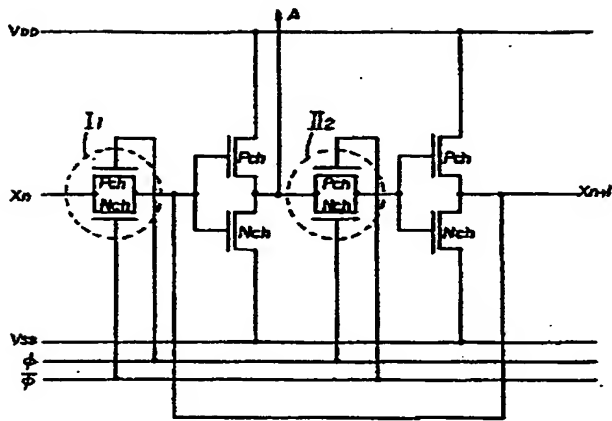
第 19 図



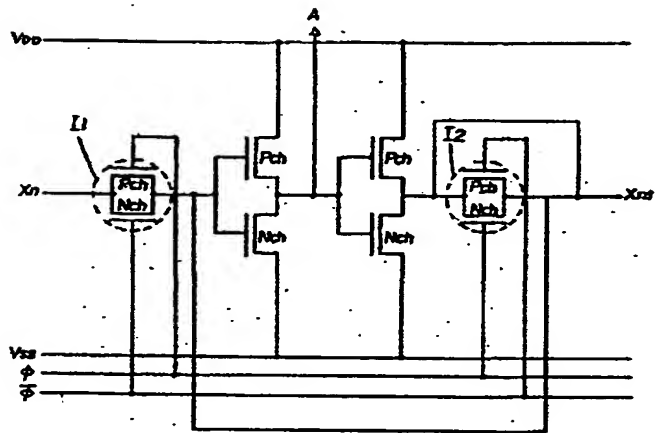
第 20 図



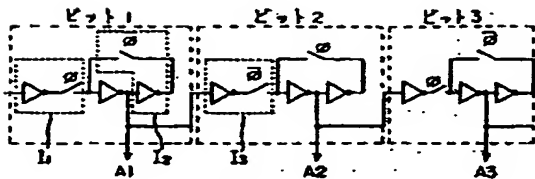
第 21 図



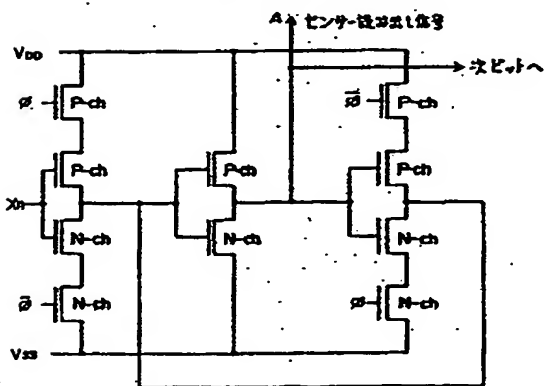
第 22 図



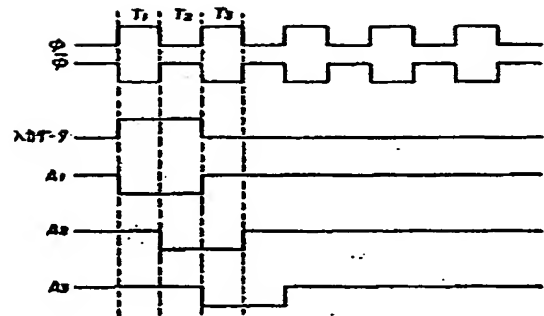
第 23 図



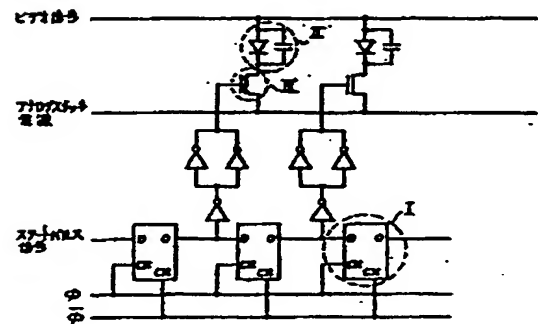
第 24 図



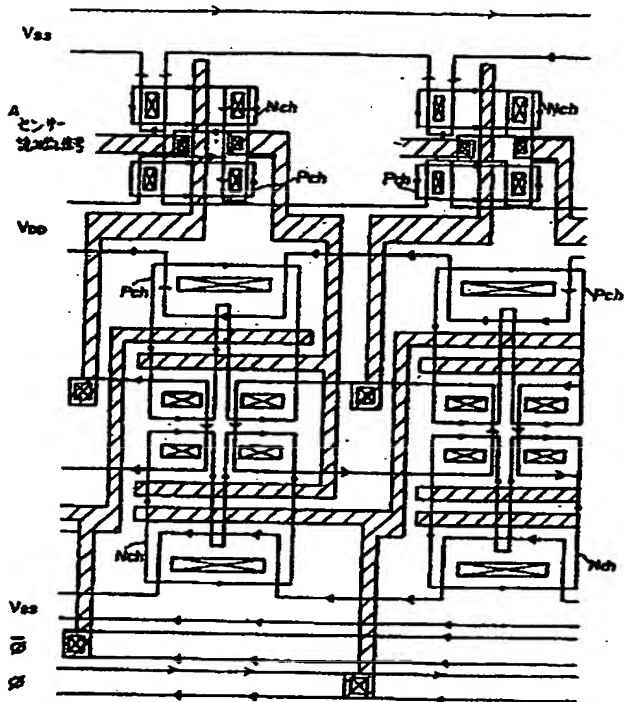
第 25 図



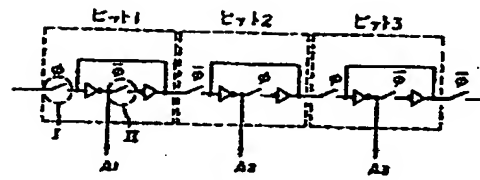
第 26 図



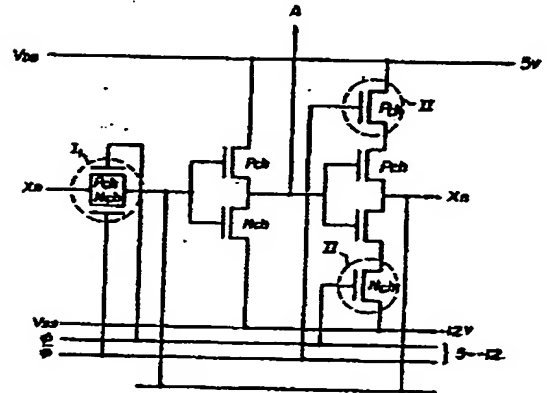
第 27 図



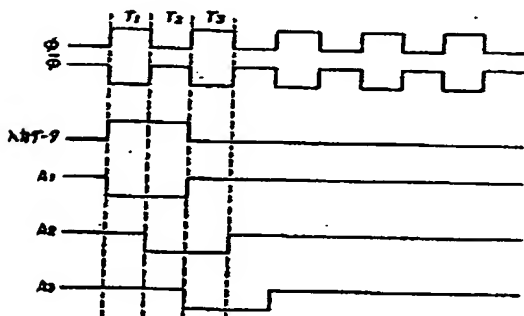
第 28 図



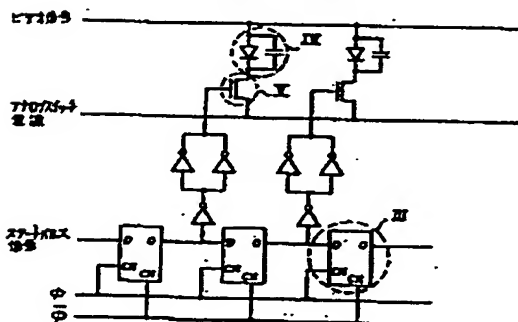
第 29 図



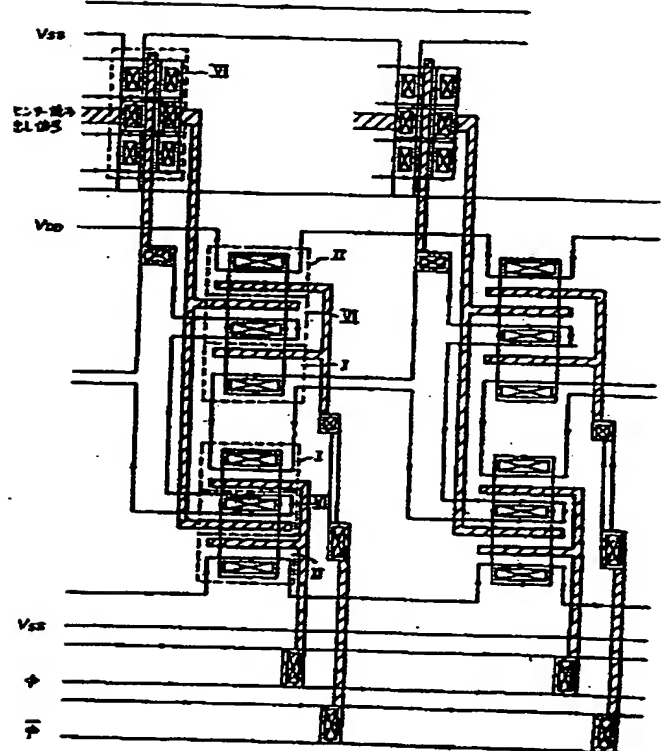
第 30 図



第 31 図

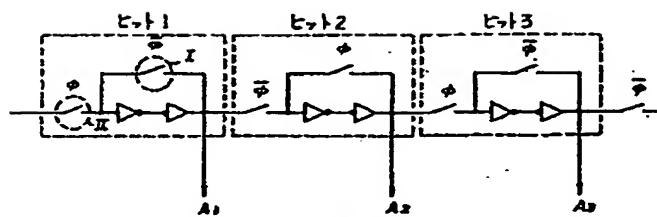


第 32 図

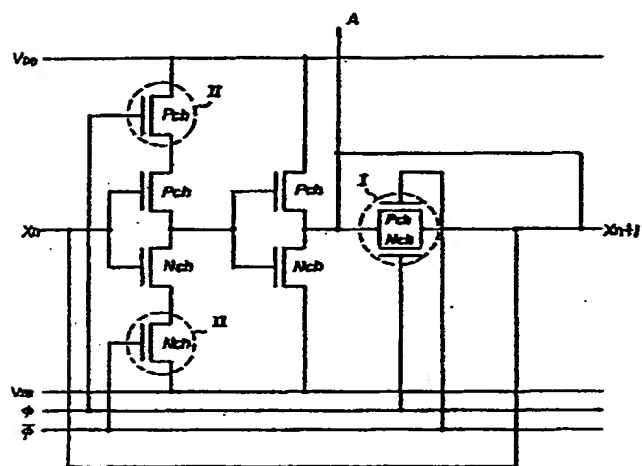
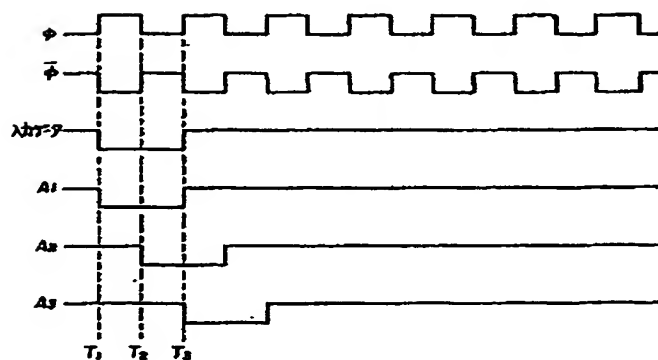


第 33 圖

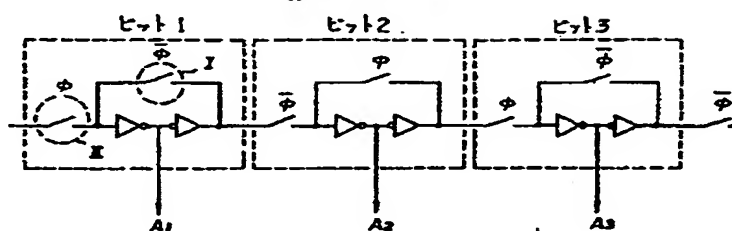
第 35 圖



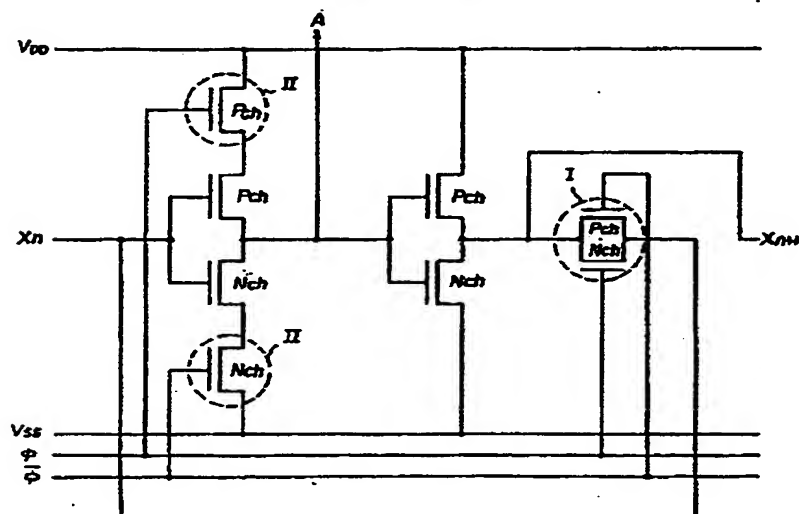
第 34 圖



第 36 圖

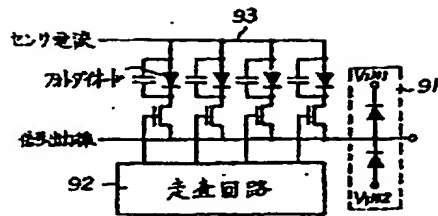


第 37 圖

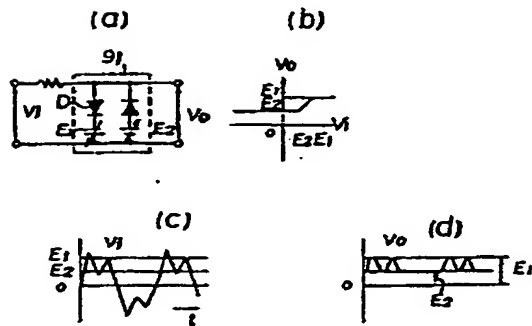




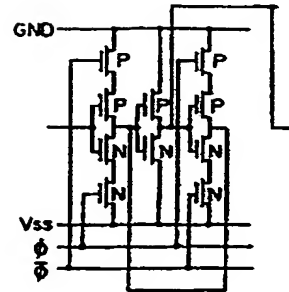
第 48 図



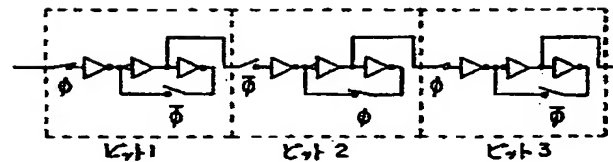
第 49 図



第 50 図



第 51 図



第1頁の続き

⑤Int. Cl. 1

識別記号

庁内整理番号

// H 01 L 27/12  
29/78

3 1 1

7514-5F  
A-7925-5F

優先権主張

②昭62(1987)2月23日③日本(JP)④特願 昭62-39845

②昭62(1987)2月12日③日本(JP)④特願 昭62-30081

②昭62(1987)2月23日③日本(JP)④特願 昭62-39844

②昭62(1987)3月11日③日本(JP)④特願 昭62-57619

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**